



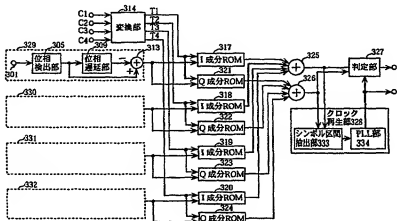
(51) 国際特許分類 H04L 27/22	AI	(11) 国際公開番号 WO00/39976 (43) 国際公開日 2000年7月6日 (06.07.00)
(21) 国際出願番号 PCT/IP98/05941 (22) 国際出願日 1998年12月25日 (25.12.98) (71) 出願人 (米国を除くすべての指定国について) 三洋電機株式会社(SANYO ELECTRIC CO., LTD.)(JP/JP) 〒570-0083 大阪府守口市京阪本通2丁目5番5号 Osaka, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 飯沼敏範(IINUMA, Toshinori)(JP/JP) 〒503-0100 岐阜県安八郡神戸町1157 Gifu, (JP) (74) 代理人 弁理士 中島司朗(NAKAJIMA, Shiro) 〒531-0072 大阪府大阪市北区豊崎三丁目2番1号 淀川5番館6F Osaka, (JP)	(81) 指定国 AU, CN, ID, IN, SG, US, 欧州特許 (DE, FR, GB) 添付公開書類 国際調査報告書	

(54) Title: **DIVERSITY RECEIVER FREE FROM DECODING ERROR, AND CLOCK REGENERATION CIRCUIT FOR DIVERSITY RECEIVER**

(54) 発明の名称 復号の判定誤りを防止したダイバーシティ受信装置及び復号の判定誤りを防止するダイバーシティ受信装置に用いるためのクロック再生回路

(57) Abstract

A diversity receiver, in which signals received through a plurality of different paths are weighted with combining coefficients according to their amplitudes and then combined together, and symbol sections are extracted on the basis of the resultant signal to regenerate the clock signal for determining symbols. The diversity receiver comprises a converter (314) for multiplying the combining coefficients by a fixed factor if all the coefficients are determined to be lower than a predetermined threshold value. Using the multiplied coefficients, the received signals are combined through I-component ROMs (317-320), Q-component ROMs (321-324), I-component adder (325) and a Q-component adder (326).



305 ... PHASE DETECTOR
306 ... PHASE DELAY
314 ... CONVERTER
317 ... I-COMPONENT ROM
318 ... I-COMPONENT ROM
319 ... I-COMPONENT ROM
320 ... I-COMPONENT ROM

321 ... Q-COMPONENT ROM
322 ... Q-COMPONENT ROM
323 ... Q-COMPONENT ROM
324 ... Q-COMPONENT ROM
327 ... DECISION
328 ... CLOCK REGENERATION
333 ... SYMBOL SECTION EXTRACTOR
334 ... PLL